

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-322043

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

H04N 7/24
H03M 7/00

(21)Application number : 07-126459

(71)Applicant : NEC CORP

(22)Date of filing : 25.05.1995

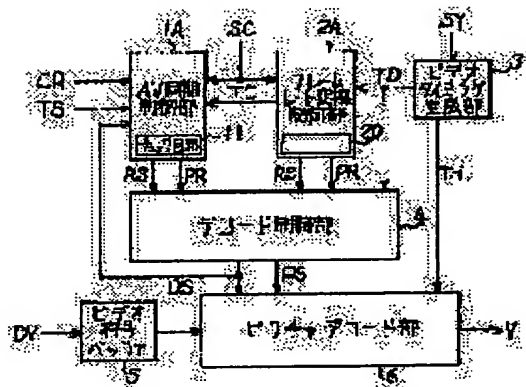
(72)Inventor : KITSUKI TOSHIAKI

(54) VIDEO ENCODER/DECODER

(57)Abstract:

PURPOSE: To perform AV synchronization control with high accuracy regardless of the execution/non-execution of frame rate conversion by checking AV synchronization by a synchronization check timing signal generated in replying to a system clock.

CONSTITUTION: A video timing control part 3 generates a display timing signal TH replying to the supply of a video synchronizing signal Y, and supplies it to a picture code part 6, and also, generates a decode timing signal TD, and supplies it to a decode control part 4 and a frame conversion control part 2A. The check signal generation circuit 20 of the frame conversion control part 2A generates a synchronization check timing signal TC representing a decoding timing in the case that no frame conversion is performed according to the frame rate of video code data DV in replying to the supply of the system clock SC, and supplies it to an AV synchronization control part 1A. The check circuit 11 of the AV synchronization control part 1A checks the AV synchronization in replying to the supply of the synchronization check timing signal TC after a decoding start timing.



LEGAL STATUS

[Date of request for examination] 25.05.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2738342

[Date of registration] 16.01.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-322043

(43) 公開日 平成 8 年 (1996) 12 月 3 日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
H 0 3 M 7/00		9382-5K	H 0 3 M 7/00	

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-126459

(22) 出願日 平成 7 年 (1995) 5 月 25 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 橋本 俊明

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

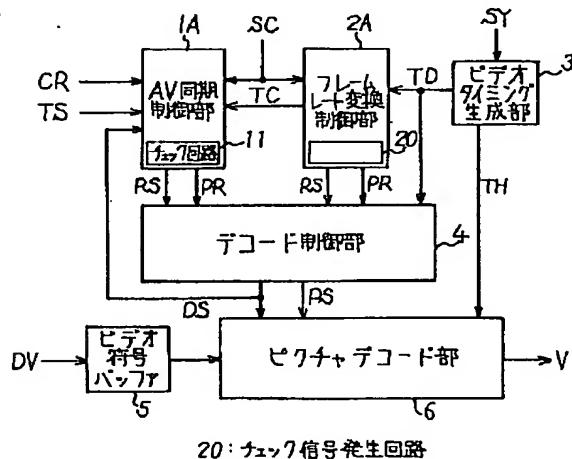
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 ビデオ符号復号化装置

(57) 【要約】

【目的】 フレームレート変換処理中にも正確な A V 同期制御を可能にしたビデオ符号復号化装置を実現する。

【構成】 フレームレート変換制御部 2 A がシステムクロック S C の供給にตอบสนองしてフレームレート非変換時のデコードタイミングを示す同期チェックタイミング信号 T C を生成するチェック信号発生回路 2 0 を備え、A V 同期制御部 1 A がデコード開始タイミング後に同期チェックタイミング信号 T C の供給にตอบสนองして A V 同期のチェックを行うチェック回路 1 1 を備える。



【特許請求の範囲】

【請求項 1】 ビデオ同期信号の供給にตอบสนองして表示タイミング信号とデコードタイミング信号とを出力するビデオタイミング生成手段と、ビデオ符号データを一時保持するビデオ符号バッファ手段と、ピクチャ毎に前記表示タイミング信号の供給にตอบสนองして前記ビデオ符号バッファから読出した前記ビデオ符号データをデコードしビデオ信号を出力するビデオデコード手段と、システムクロックの供給にตอบสนองしてシステム時刻を管理するとともに前記ビデオ符号データのデコード開始タイミングが前記ビデオ符号データに同期して供給されるビデオタイムスタンプより予め定めた時間差範囲を超えて早い場合には前記ピクチャのリピート要求信号を遅い場合は前記ピクチャのスキップ要求信号をそれぞれ出力することにより A/V 同期のチェックを行う A/V 同期制御手段と、前記ビデオ符号データの第 1 のフレームレートがビデオ出力信号の第 2 のフレームレートと異なる場合に前記リピート要求信号とスキップ要求信号とのいずれか一方を選択的に出力し所要のビデオ符号データ量を前記第 1 のフレームレートと一致させるように制御するフレームレート変換制御手段と、前記 A/V 同期制御手段および前記フレームレート変換制御手段の各々から供給される前記リピート要求信号および前記スキップ要求信号にตอบสนองして前記ピクチャデコード部に 1 ピクチャ分のデコード開始信号と 1 ピクチャ分の符号の読飛ばしを指示するスキップ信号とのいずれか一方を選択的に出力するデコード制御手段とを備えるビデオ符号復号化装置において、前記フレームレート変換制御手段が前記システムクロックの供給にตอบสนองしてフレームレート変換を行わない場合の前記デコードタイミングを示す同期チェックタイミング信号を生成するチェック信号発生回路を備え、前記 A/V 同期制御手段が前記デコード開始タイミング後に前記同期チェックタイミング信号の供給にตอบสนองして前記 A/V 同期のチェックを行うチェック回路を備えることを特徴とするビデオ符号復号化装置。

【請求項 2】 前記チェック信号発生回路が、前記デコードタイミング信号の供給にตอบสนองしてカウントアップし第 1 のカウント値を出力する第 1 のカウンタと、供給を受けた前記第 1 のカウント値の 0 にตอบสนองして 0 検出信号を出力する 0 検出回路と、前記デコードタイミング信号と前記 0 検出信号との論理積値を出力する第 1 の論理回路と、前記システムクロック信号の供給にตอบสนองしてカウントアップし第 2 のカウント値を出力する第 2 のカウンタと、前記第 2 のカウント値と 1 フレーム期間対応のフレーム設定値との一致を検出し一致パルス信号を出力する一致検出回路と、前記論理積値と一致パルス信号との論理和値を前記同期チェックタイミング信号として出力する第 2 の論理回路とを備えることを特徴とする請求項 1 記載のビデオ符号

復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はビデオ符号復号化装置に関し、特に MPEG 規格によりエンコードされたビデオデータをオーディオデータと同期してデコードするビデオ符号復号化装置に関する。

【0002】

【従来の技術】 テレビジョン等のビデオ信号のフレーム間予測符号化方式として、ISO/IEC, JTC1/SC2/WG8 で標準化検討された MPEG (Moving Picture Expert Group) における規格案が知られている。これら規格には、ビデオ符号データのデコードについて規定した MPEG 1 がある。また、画像に音声を付加するための音声信号の符号化方式としてサブバンド符号化を利用して、音声信号の情報量を減らし音声データ (オーディオ符号データ) を伝送または蓄積する音声符号化復号化技術に対する MPEG オーディオ規格がある。さらに、これら、ビデオ符号データとオーディオ符号データの多重化方式として、MPEG システム規格がある。

【0003】 MPEG システム規格では、パケットによる多重化方式を用いる。この方式は、ビデオ符号およびオーディオ符号をそれぞれ適当な長さのビットストリームに分割し、各々の先頭にビデオデータとオーディオデータとの識別用の付加情報を付加してそれぞれビデオパケット、オーディオパケットを生成し、これらビデオパケット、オーディオパケットを適当に切替えることによりビデオ符号とオーディオ符号とを多重化する。

【0004】 デコード処理では、オーディオ符号とビデオ符号を分離し、オーディオ符号はオーディオ符号復号化装置で復号化してオーディオ信号を出力する。ビデオ符号はビデオ符号復号化装置で復号化してビデオ信号を出力する。このときに、これらオーディオ信号とビデオ信号との出力同期のために、同期制御を行う必要がある。

【0005】 MPEG システム規格では、オーディオ信号とビデオ信号との同期のために、パケットの付加情報としてそれらのデータの出力タイミングとデコードタイミングを示すスタンプ情報を付加する。

【0006】 タイムスタンプは、アクセスユニットと呼ばれる復号化単位に対するタイミングを指定する。このアクセスユニットは、ビデオでは 1 ピクチャであり、オーディオでは 1 オーディオフレームと呼ばれる復号再生の単位である。

【0007】 これらのタイムスタンプは、アクセスユニットの先頭が入ったパケットの先頭部分に付加され、そのアクセスユニットの出力タイミングを指定する。パケット内に複数のアクセスユニットの先頭がある場合には、最初のアクセスユニットに対応するタイムスタンプ

のみが付加される。

【0008】AV同期制御では、ビデオおよびオーディオのそれぞれのアクセスユニットを、時刻基準タイムであるSTC（システムタイムクロック）とそのアクセスユニットの対応するタイムスタンプとがほぼ一致したときに出力するように制御する。

【0009】STCは、システム符号に多重化されたSCR（システム時刻基準参照値）によって、符号化装置の意図した値に設定・校正され、一定間隔でカウントアップされる。

【0010】従来のAV同期制御およびフレームレート変換が可能なビデオ符号復号化装置をブロックで示す図4を参照すると、この従来のビデオ符号復号化装置は、システム時刻管理機能とAV同期チェック機能とを有するAV同期制御部1と、デコードタイミング信号TDの供給に10 応答してピクチャのリピート要求信号RPあるいはピクチャのスキップ要求信号RSをデコード制御部4に出力するフレームレート変換制御部2と、ビデオ同期信号SYの供給に11 応答して表示タイミング信号THとデコードタイミング信号TDとを発生するビデオタイミング生成部3と、デコードタイミング信号TDの供給に12 応答して通常デコード時には同一タイミングのデコード開始信号DSをピクチャデコード部6に供給するデコード制御部4と、入力されるビデオ符号データDVを一時的に格納しピクチャデコード部6に順次ビデオ符号データDVを供給するビデオ符号バッファ5と、デコード開始信号DSの供給に13 応答して1ピクチャ分のビデオ符号データDVをデコードしピクチャスキップ信号PSの供給に14 応答して1ピクチャ分のビデオ符号データをデコードせずに読飛ばすピクチャデコード部6とを備える。

【0011】次に、図4を参照して、従来のビデオ符号復号化装置の動作について説明すると、まず、ビデオタイミング制御部3はビデオ同期信号SYの供給に15 応答して表示タイミング信号THとデコードタイミング信号TDとをそれぞれ発生し、信号THをピクチャデコード部6に、信号TDをフレームレート変換制御部2にそれぞれ供給する。フレームレート変換制御部2は、デコードタイミング信号の供給に16 応答してビデオ符号データDV、出力ビデオ信号Vの各々のフレームレートが異なる場合に両フレームレートを一致させるよう変換するために、一定ピクチャ数毎にピクチャリピート要求信号PRあるいはピクチャスキップ要求信号RSをデコード制御部4に出力する。AV同期制御部1のシステム時刻管理機能では、システム時刻をシステムクロックSCの供給に17 応答してカウントアップするとともに、時々入力されるシステムクロック参照パラメータCRに18 応答して設定・校正する。次に、AV同期チェック機能では、タイムスタンプとその対応ピクチャの対応を管理し、デコード開始信号DSの供給を受けてピクチャデコード部6で19 処理中の対応ピクチャのデコード開始タイミングにおける

システム時刻とビデオタイムスタンプとの時間差が所定範囲内かの判定を行う。上記時間差が上記範囲を越えシステム時刻の方が大きい場合はピクチャデコード処理が遅すぎることを示すので、ピクチャスキップ要求信号RSを、システム時刻の方が小さい場合はピクチャデコード処理が早すぎることを示すので、ピクチャリピート要求信号PRをそれぞれデコード制御部4に出力する。

【0012】デコード制御部4は、デコードタイミング信号TDの供給に20 応答して通常デコード時には同一タイミングでデコード開始信号DSをピクチャデコード部6に出力する。また、AV同期制御部1とフレームレート変換制御部2とからそれぞれピクチャスキップ要求信号RS、ピクチャリピート要求信号PRを入力されたときには、これら信号RS、PRにしたがいピクチャのスキップ／リピートを実行する。ピクチャスキップはピクチャスキップ信号PSをピクチャデコード部6に出力し、ピクチャデコード部6で1ピクチャ分のビデオ符号データDVを読飛ばすように制御することにより行う。ピクチャリピートは、デコードタイミング信号DTの1パルスを無視して対応のデコード開始信号DSを出力しないことにより、デコード処理を1ピクチャ期間行なわないよう制御することにより行う。ビデオ符号バッファ5は、入力ビデオ符号データDVを一時的に格納し、ピクチャデコード部6に順次読出したビデオ符号データDVを供給する。ピクチャデコード部6は、デコード開始信号DSの供給に21 応答して、1ピクチャ分のビデオ符号データDVをデコードし、ピクチャスキップ信号PSが供給されると、上述のように1ピクチャ分のビデオ符号データをデコードせずに読飛ばす。また、表示タイミング信号THの供給に22 応答して復元ピクチャのデータをビデオ信号Vとして出力する。

【0013】次に、フレームレート変換制御部2におけるピクチャリピート要求信号PRと、ピクチャスキップ要求信号RSの各々の発生について説明する。説明の便宜上、ピクチャリピート信号発生については25フレーム／秒のビデオ符号を30フレーム／秒で表示する場合を例として、ピクチャスキップ信号発生については30フレーム／秒のビデオ符号を25フレーム／秒で表示する場合を例としてそれぞれ説明する。

【0014】まず、25フレーム／秒のビデオ符号を30フレーム／秒で表示する場合は、5ピクチャ分のビデオ符号データ毎に1ピクチャ分リピートすることにより6ピクチャを表示するようにすればよいので、6デコードタイミング信号毎にピクチャリピート要求信号PRを出力するように制御する。

【0015】また、30フレーム／秒のビデオ符号を25フレーム／秒で表示する場合は、5ピクチャ分の表示期間毎に1ピクチャ分のビデオ符号データをデコードせず破棄することにより5ピクチャ表示期間に6ピクチャ分のビデオ符号データを消費するようにすればよいの

で、5デコードタイミング信号毎にピクチャスキップ要求信号RSを出力するように制御する。

【0016】以上、説明した従来のビデオ符号復号化装置では、AV同期制御部でのビデオタイムスタンプとシステム時刻の比較をタイムスタンプ対応ピクチャのデコード開始タイミングで行なうため、フレームレート変換時においては上記対応ピクチャのデコードタイミングが本来のフレームレート変換しないときのデコードタイミングと異なるため、AV同期チェックタイミングに半ピクチャ期間以上の誤差を生じる可能性がある。そのため、従来のビデオ符号復号化装置では、フレームレート変換を行うときに、AV同期判定時のシステム時刻とタイムスタンプとの差の許容範囲を上記誤差分を含めて広めることで、その誤差に起因する誤タイミングでのAV同期チェックで生ずるピクチャスキップ/リピートを防止するというものであった。

【0017】

【発明が解決しようとする課題】上述した従来のビデオ符号復号化装置は、フレームレート変換時においては、AV同期チェックタイミングに、半ピクチャ期間以上の誤差を生じる可能性があり、この誤差に誤差に起因する誤タイミングでのAV同期チェックで生ずるピクチャスキップ/リピートを防止するため、システム時刻とタイムスタンプの差の許容範囲を半ピクチャ期間分広げる必要があり、精度の高いAV同期制御が実施できないという欠点があった。

【0018】

【課題を解決するための手段】本発明のビデオ符号復号化装置は、ビデオ同期信号の供給にตอบสนองして表示タイミング信号とデコードタイミング信号とを出力するビデオタイミング生成手段と、ビデオ符号データを一時保持するビデオ符号バッファ手段と、ピクチャ毎に前記表示タイミング信号の供給にตอบสนองして前記ビデオ符号バッファから読出した前記ビデオ符号データをデコードしビデオ信号を出力するビデオデコード手段と、システムクロックの供給にตอบสนองしてシステム時刻を管理するとともに前記ビデオ符号データのデコード開始タイミングが前記ビデオ符号データに同期して供給されるビデオタイムスタンプより予め定めた時間差範囲を超えて早い場合には前記ピクチャのリピート要求信号を遅い場合は前記ピクチャのスキップ要求信号をそれぞれ出力することによりAV同期のチェックを行うAV同期制御手段と、前記ビデオ符号データの第1のフレームレートがビデオ出力信号の第2のフレームレートと異なる場合に前記リピート要求信号とスキップ要求信号とのいずれか一方を選択的に出力し所要のビデオ符号データ量を前記第1のフレームレートと一致させるように制御するフレームレート変換制御手段と、前記AV同期制御手段および前記フレームレート変換制御手段の各々から供給される前記リピート要求信号および前記スキップ要求信号にตอบสนองして前記ピ

クチャデコード部に1ピクチャ分のデコード開始信号と1ピクチャ分の符号の読飛ばしを指示するスキップ信号とのいずれか一方を選択的に出力するデコード制御手段とを備えるビデオ符号復号化装置において、前記フレームレート変換制御手段が前記システムクロックの供給にตอบสนองしてフレームレート変換を行わない場合の前記デコードタイミングを示す同期チェックタイミング信号を生成するチェック信号発生回路を備え、前記AV同期制御手段が前記デコード開始タイミング後に前記同期チェックタイミング信号の供給にตอบสนองして前記AV同期のチェックを行うチェック回路をを備えて構成されている。

【0019】

【実施例】次に、本発明の実施例を図3と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施例のビデオ符号復号化装置は、従来と共通のビデオタイミング生成部3と、ビデオ符号バッファ5と、デコード制御部4と、ピクチャデコード部6とに加えて、AV同期制御部1の代りに従来と同様のシステム時刻管理機能に加えて同期チェックタイミング信号TCの供給にตอบสนองしてAV同期のチェックを行うチェック回路11を含むAV同期判定機能を有するAV同期制御部1Aと、フレームレート変換制御部2の代りに従来と同様のフレーム変換機能に加えてシステムクロックSCの供給にตอบสนองしてフレーム変換を行わない場合の本来のデコードタイミングを示す同期チェックタイミング信号TCを生成するチェック信号発生回路20を含むフレームレート変換制御部2Aとを備える。

【0020】次に、図1を参照して本実施例の動作について説明すると、従来と同様に、ビデオタイミング制御部3はビデオ同期信号SYの供給にตอบสนองして表示タイミング信号THを生成しピクチャデコード部6に供給するとともに、デコードタイミング信号TDを生成しデコード制御部4とフレームレート変換部2Aとに供給する。

【0021】フレームレート変換制御部2Aは、デコードタイミング信号TDの供給にตอบสนองして、従来と同様に、ビデオ符号データDVのフレームレートと出力ビデオ信号Vのフレームレートが相違する場合に対応のピクチャリピート要求信号PR/ピクチャスキップ信号RSをデコード制御部4に出力する。また、チェック信号発生回路20はシステムクロックSCの供給にตอบสนองしてビデオ符号データDVのフレームレートにしたがいフレームレート変換を行わない場合の本来のデコードタイミングを示す同期チェックタイミング信号TCを生成し、AV同期制御部1Aに供給する。

【0022】AV同期制御部1Aは従来と同様のシステム時刻管理と、従来の判定内容に加えてチェック回路11において同期チェックタイミング信号TCを用いるAV同期判定とを行なう。すなわち、AV同期チェックでは、タイムスタンプとその対応ピクチャの対応を管理

10

20

30

40

50

し、デコード開始信号DSの供給に応答してデコード処理開始後、チェック回路11で供給された同期チェックタイミング信号TCの入力タイミングにおけるシステム時刻とビデオタイムスタンプとの時間差が所定範囲内かの判定を行う。従来と同様に、上記時間差が上記範囲を越える場合のシステム時刻のタイムスタンプに対する大小に対応してピクチャスキップ要求信号RSまたはピクチャリビート要求信号PRをデコード制御部4に出力する。

【0023】以下、デコード制御部4以降の動作は従来と同様であるので、説明を省略する。

【0024】次に、フレームレート変換制御部2Aのチェック信号発生回路20の構成をブロックで示す図2を参照すると、このチェック信号発生回路20は、デコードタイミング信号TDの供給にตอบสนองしてカウントアップしカウント値Nを出力するピクチャカウンタ21と、カウント値Nが0の時“H”を出力する0検出回路22と、信号TDと0検出回路22の出力との論理積値を出力するAND回路23と、システムクロック信号SCの供給にตอบสนองしてカウントアップし1/25秒相当の1フレーム期間のカウント値NPを出力するピクチャ期間カウンタ24と、カウント値NPと1フレーム期間値Fとの一致を検出し一致パルス信号を出力する一致検出回路25と、上記論理積値と一致パルス信号との論理和値を同期チェックタイミング信号TCとして出力するOR回路26とを備える。

【0025】図2および動作を示すタイムチャートである図3を参照してこの回路の動作について説明すると、まず、図3(A)は25フレーム/秒のビデオ符号を30フレーム/秒で表示する場合であり、ピクチャカウンタ21のカウント値Nは、デコードタイミング信号TDの供給にตอบสนองしてカウントアップし、カウント値Nが5の後に0に戻るように制御される。0検出回路22は、カウント値Nが0の時“H”を出力し、AND回路23はこの出力信号の“H”とデコード同期信号TDとの論理積を生成する。このAND回路23の出力論理積値はOR回路26に供給され、OR回路26は同期チェックタイミング信号TCを生成する。また、ピクチャ期間カウンタ24のカウント値NPはシステムクロックSCの供給にตอบสนองしてカウントアップし、1/25秒相当の1フレーム期間値後に0に戻る。この場合はシステムクロックを90KHzと想定しているため、1フレーム期間値は3599となる。一致検出回路25は、カウント値NPが上記1フレーム期間値(3599)に一致した時に一致パルス信号を発生する。この一致パルス信号はOR回路26に供給され、OR回路26は同期チェックタイミング信号TCを生成する。図3(A)において、デコードタイミング信号TDおよび、同期チェックタイミング信号TCの各々のパルスに付記したP0~P6はそのパルス信号対応のピクチャを示す。

【0026】次に、図3(B)は30フレーム/秒のビデオ符号を25フレーム/秒で表示する場合であり、図3(A)の場合との相違点はピクチャカウンタ21のカウント値Nが4の後で0になることと、1フレーム期間値Fが2999であることとであり、それ以外は同様に動作することで、同期チェックタイミング信号TCを生成する。

【0027】以上説明したように、本実施例のビデオ符号復号化装置では、フレームレート変換時においても、AV同期制御部におけるビデオタイムスタンプとシステム時刻の比較を、ピクチャのデコード開始タイミングでなくフレームレート非変換時のデコードタイミング相当の同期チェックタイミング信号入力タイミングで行なうため正確にAV同期判定が行なわれる。

【0028】

【発明の効果】以上説明したように、本発明のビデオ符号復号化装置は、フレームレート変換制御手段がフレームレート非変換時のデコードタイミングを示す同期チェックタイミング信号を生成するチェック信号発生回路を備え、AV同期制御手段がデコード開始タイミング後に上記同期チェックタイミング信号の供給にตอบสนองしてAV同期のチェックを行うチェック回路を備えるので、AV同期制御部において、上記同期チェックタイミング信号にしたがってピクチャタイムスタンプとシステム時刻との比較を行なうことにより、フレームレート変換の実行非実行と関係なく正確にAV同期チェックが行なえるという効果がある。

【図面の簡単な説明】

【図1】本発明のビデオ符号復号化装置の一実施例を示すブロック図である。

【図2】図1のチェック信号発生回路の構成を示すブロック図である。

【図3】図2のチェック信号発生回路の動作を示すタイムチャートである。

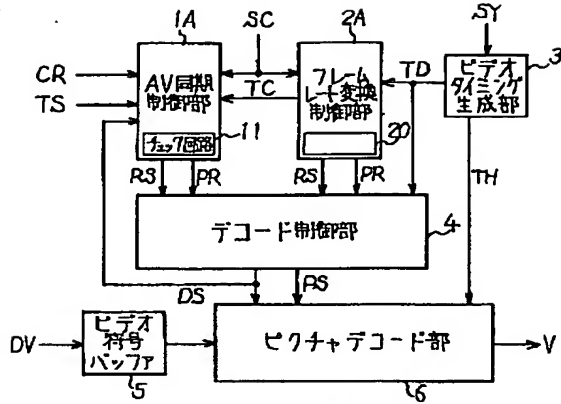
【図4】従来のビデオ符号復号化装置の一例を示すブロック図である。

【符号の説明】

- 1, 1A AV同期制御部
- 2, 2A フレームレート変換制御部
- 3 ビデオタイミング生成部
- 4 出コード制御部
- 5 ビデオ符号バッファ
- 6 ピクチャデコード部
- 20 チェック信号発生回路
- 11 チェック回路
- 21 ピクチャカウンタ
- 22 0検出回路
- 23 AND回路
- 24 ピクチャ期間カウンタ
- 25 一致検出回路

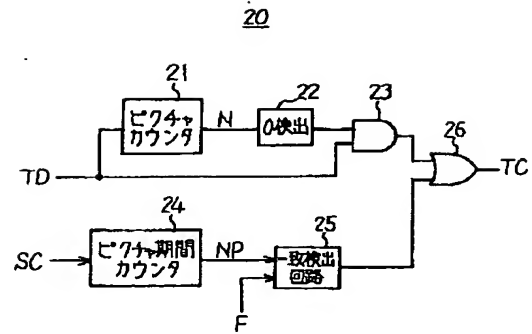
2.6 OR回路

【図 1】

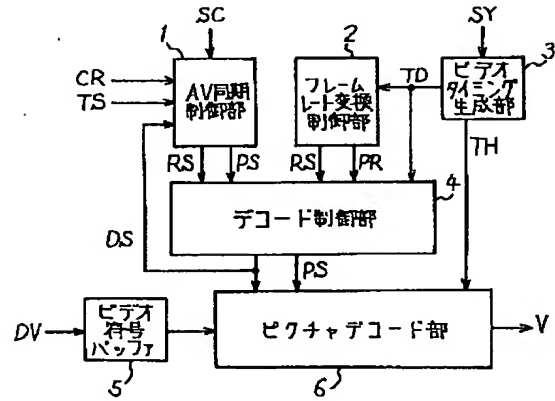


20: チェック信号発生回路

【図 2】



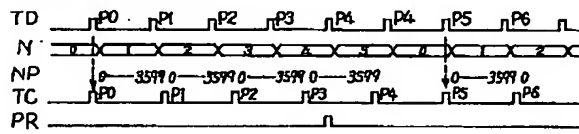
【図 4】



【図 3】

(A)

25フレーム/秒→30フレーム/秒



(B)

30フレーム/秒→25フレーム/秒

P5: skipped

